

POWERED BY **Dialog**

FLAT PANEL DISPLAY AND MAKING THEREOF (60-181778
Publication Number: JP 60181778 A) , September 17, 1985

Inventors:

- JIYON DEIBUITSUDO BENJIYAMIN
- EIDORIAN RENAADO MEAAZU
- JIYON CHIYAARUZU HOWAITO

Applicants

- UK GOVERNMENT (A Non-Japanese Government or Municipal Agency), GB (United Kingdom)

Application Number: 60-016367 (JP 8516367) , January 30, 1985

Priority:

- 8402654 [GB 842654], GB (United Kingdom), February 01, 1984

International Class (IPC Edition 4):

- G09F-009/30

JAPIO Class:

- 44.9 (COMMUNICATION--- Other)

JAPIO Keywords:

- R011 (LIQUID CRYSTALS)
- R020 (VACUUM TECHNIQUES)
- R097 (ELECTRONIC MATERIALS--- Metal Oxide Semiconductors, MOS)

JAPIO

© 2003 Japan Patent Information Organization. All rights reserved.
Dialog® File Number 347 Accession Number 1703278

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑬ 公開特許公報(A)

昭60-181778

⑪ Int. Cl. 4

G 09 F 9/30

識別記号

庁内整理番号

6615-5C

⑭ 公開 昭和60年(1985)9月17日

審査請求 未請求 発明の数 2 (全23頁)

⑮ 発明の名称 フラットパネルディスプレイとその製法

⑯ 特 願 昭60-16367

⑰ 出 願 昭60(1985)1月30日

優先権主張

⑱ 1984年2月1日⑲ イギリス(GB)⑳ 8402654

⑳ 発 明 者

ジョン・デイヴィン
ド・ベンジャミンイギリス国、ウスターシャー・ダブリュ・アール・14・
3・エル・ジー、マルヴァーン、ブルブルック、ブリテ
ン・ドライブ・20

㉑ 発 明 者

エイドリアン・レナード
ド・メアーズイギリス国、グロウスターシャー・ジー・エル・53・O・
ビー・エー、チェルトナム、レックハンプトン、コラム・
エンド・ライス・21

㉒ 出 願 人

イギリス国

イギリス国、ロンドン・エス・ダブリュ・1・エイ・2・
エイチ・ビー、ホワイトホール(番地なし)

㉓ 代 理 人

弁理士 川口 義雄

最終頁に続く

明 細 書

1. 発明の名称

フラットパネルディスプレイとその製法

2. 特許請求の範囲

(1) 対応する画素電極に対し駆動信号を印加するための多数の電子成分と共に、電極支持基板の間に配設された電気的に応答する先導微体を有し、電極は多数の画素を形成する形状とされている類似のフラットパネルディスプレイであつて、前記電子成分が単結晶半導体材料を選択的に分離したエレメントであり、電極支持基板の間に配設されており、かつ各エレメントを少なくとも1つの隣接する画素電極に接続して配列されていることを特徴とするディスプレイ。

(2) 単結晶材料のエレメントがバーであることを特徴とする、特許請求の範囲第1項に記載のディスプレイ。

(3) 単結晶材料のエレメントがチップであることを

とを特徴とする、特許請求の範囲第3項に記載のディスプレイ。

(4) 各チップが複数の画素制御電極と互合しかつこれに連絡されており、各々の画素制御電極を制御する働きをすることを特徴とする、特許請求の範囲第3項に記載のディスプレイ。

(5) エレメントが電極支持基板の内で導電的なスペーサとしての働きをしていることを特徴とする、以上の特許請求の範囲の何れかに記載のディスプレイ。

(6) 一方の基板の電極が半導体エレメントに容易に結合されていることを特徴とする、以上の特許請求の範囲の何れかに記載のディスプレイ。

(7) X-Yマトリックスアドレス式ディスプレイであつて、一方の電極支持基板が画素制御電極を有しており、かつXとYのアドレス用の電極も有していることを特徴とする、以上の特許請求の範囲の何れかに記載のディスプレイ。

(2)

80 対応するアドレス電極の連続性を完成する導線リンドをそれぞれ含むチップエレメントから成ることを特徴とする、特許請求の範囲第1項に記載のディスプレイ。

81 導線リンドが昇圧増幅器を含むことを特徴とする、特許請求の範囲第80項に記載のディスプレイ。

82 各々のXまたはYアドレス電極がチップの1つの行（または列）に連絡されると共に、次の隣接するチップの行（または列）にも連絡されており、導線リンドは各対の隣接するチップの中に含まれて交番で連続性を与える経路を提供していることを特徴とする、特許請求の範囲第81項または第80項に記載のディスプレイ。

83 データアドレス用ディスプレイであつて、一方の電極支持基板が画素制御電極と共にデータアドレス用の電極も有しており、各半導体エレメントはアドレス認識用の回路を含んでいることを

特徴とする、特許請求の範囲第1項から第14項に記載の何れかに記載のディスプレイ。

84 各行がその両端部に1つずつ、1対のエンコードを有していることを特徴とする、特許請求の範囲第15項に記載のディスプレイ。

85 各エレメントが複製回路と、同一の機能を遂行するビッタンプ電極パッドとを含んでいることを特徴とする、以上の特許請求の範囲の何れかに記載のディスプレイ。

86 各エレメントがアドレス信号または画素駆動信号に responding 回路機構を含んでおり、そこから電力を放出してエレメント内に組み込まれた他の回路機構を作動することを特徴とする、以上の特許請求の範囲の何れかに記載のディスプレイ。

87 特許請求の範囲第1項に記載のディスプレイを製造する方法であつて、半導体ウェーハの表面に同様の回路を多数形成し、ウェーハ表面の上

特開2006-181778(2)

特徴とする、特許請求の範囲第1項から第8項の何れかに記載のディスプレイ。

88 各エレメントが周波数またはパルスコード変調したアドレスに responding ことを特徴とする、特許請求の範囲第11項に記載のディスプレイ。

89 各エレメントが単一のアドレス以上のものに responding チップであり、チップのライン、ブロックまたはパターンが同時に1アドレスに responding できるように複数のチップが共通して少なくとも1つのアドレスを有していることを特徴とする、特許請求の範囲第11項または第12項に記載のディスプレイ。

90 エレメントからエレメントへとデータを移転するため隣接するエレメント間にカップリングを含んでいることを特徴とする、特許請求の範囲第11～13項の何れかに記載のディスプレイ。

91 各エレメントがチップであり、チップは行に配列されており、各行がその中のチップをアド

に不溶性化層を形成し、ウェーハ内に前記同様の回路を形成するために、ウェーハ内に組み込まれたエンタング止層に達する深さまで延びる層を形成する段階と、ウェーハの反対側からパルス半導体材料を除去する段階と、エンタング止層を除去して同様の回路を分離し、多数の半導体エレメントを形成する段階とから成ることを特徴とする方法。

92 分離した回路を真空チャックの助けにより支持基板に移転する段階をさらに含むことを特徴とする、特許請求の範囲第19項に記載の方法。

93 真空チャックがシリコンに穴をあけた吸引面を有することを特徴とする、特許請求の範囲第20項に記載の方法。

94 同様の回路を分離する前に、ウェーハ面をエラストマ製支持材の上に実装する段階と、同様の回路を分離した後、エラストマ製支持材を伸長して当該回路の間隔を広げる段階と、回路を支持

(3)

基板に形成する段差とをさらに含むことを特徴とする、特許請求の範囲第1項に記載の方法。

ロ 導電性のある膜層によって回路が支持基板に形成され、余剰の膜層を除去する間回路が保護マスクとして使用されることを特徴とする、特許請求の範囲第1項から第3項の何れかに記載の方法。

04 エラストマ製支持材の表面はその上にマスクパターンを有しており、ウェーハがマスクパターンの上に来るように支持材上に貼附された後、マスクパターンがエラストマ製支持材の伸長によって拡大されて、その保護層を形成するためのマスクとして使用されることを特徴とする、特許請求の範囲第3項に記載の方法。

四 移動された回路がそれと整列した電極を形成する際に使用され、その後、ホトレジスト被膜を有する金属化基板を提供する段階と、移動された回路が被膜基板の上にこれと整列して配置する段

330000-181778 (3)

階と、移動された回路を鋭い角度で照光して連続的なシャドーを形成する段階と、移動された回路を側方から照らす段階と、移動された回路を2度目に照光して別の連続的なシャドーを形成する段階と、ホトレジストを現像して共通するシャドーに対応する面積を決定する段階と、パターン化されたホトレジストを耐エッチングマスクとして用いながら電極を形成する段階とが遂行されることを特徴とする、特許請求の範囲第3項または第34項に記載の方法。

2 発明の詳細な説明

本発明は平型パネルディスプレイと、その製造に適合する方法とに係る。本発明は特に、図表や情報を表示するための、電気的にアドレス可能なパネル、およびテレビ用ディスプレイスクリーンにも関係する。より詳細に言うと、本発明は半導体デバイス成分を組み入れたフラットパネルディスプレイで、ディスプレイの対応する画素エレメン

ト（図素）に対して駆動信号を印加するのを、その各々の成分が制御および/または維持する型式のものに係る。

これまでフラットパネルディスプレイの構成は2つの主要な方法のうち何れかで行われて来た。

その1つめの方法は、ディスプレイパネルの保護電極支持用基板として単結晶半導体材料、通常はシリコンのウェーハを用いる方法である。画素制御デバイスはこの構造と一体化される。画素制御サイズのディスプレイは、これまでこの方法を用いて製作されている。直径20cmのシリコンウェーハを用いる広面積パネルが現在開発中である。このモノリシック構成技術もかなり進歩しているとは言うものの、いくつか欠点がある。直径20cmのウェーハを処理するのは、結晶の均一性、ウェーハの歪み、ウェーハの操作などの問題点があることから、画素の上に高価にもつく。さらに、必要はシリコンの画素がパネルディスプレイの画

素より大きくなるので、大量の半導体材料が要求される。（「480×480エレメントの画素ロム表示色画MOB LCD」、K. Kanbara et al., Society for Information Display XIV 1982, Library of Congress Card No 75-042555 参照）。

第2の方法では、薄膜トランジスタ技術を用いる。すなわち保護基板は多結晶質または非晶質のシリコンを含み、その中にトランジスタが含まれるのである。多結晶質シリコンで知られるデバイスは特性が劣るため、特に逆方向バイアスしたpn接合の漏れに因って問題点が生じる。この技術を用いて製造されているディスプレイは、通常4×10°を越えない画素を有するディスプレイで、そのうちほとんどの画素は動作しているというものの全部ではない。10°単位の画素で動作するディスプレイを達成するとなれば、大幅な改良が必要となるであろうし、多くの重大な問題を解決する必要がある。（「平型パネルディスプレイ用

(4)

シリコン TFT」、Y. Morin, Proceedings of the 14th Conference (1982 International) on Solid State Devices, Tokyo 1980; Japanese Journal of Applied Physics 22 (1983) Supplement 22-1 pp 481-486 参照。pp 487-500 に他の態様による関連論文あり)。

ここに開示される発明は、上に概略を示したものに代わる構成のフラットパネルディスプレイを提供する。

本発明によれば、電気的に応答可能な光学媒体の画素に1つずつの電極支持基板と、対応する画素電極に対する駆動信号の印加を制御するための多数の電極の成分とから成り、前記基板に支持される電極が多数の画素を形成するべく形成されている型式のフラットパネルディスプレイが提供され、その特徴は、前記電極成分が単結晶半導体材料の物理的に別個のエレメントとして実現されており、これらのエレメントは電極支持基板の間に

特開60-181778(4)

配列されかつ各エレメントを1つまたはそれ以上の隣接する画素電極に連絡して配列されていることにある。

本発明では、単結晶材料を使用して得られる利益にそのまゝ保っているが、それと同時に、ディスプレイ面積より大きな面積の半導体材料を処理するというこれまで多くの欠点を克服している。各エレメントは単結晶材料であるために、顕微鏡的な処理技術が採用できる上、成分には良好な特性を与えることができる。このディスプレイは回路に対して、はるかに面積の大きいディスプレイ用の単結晶シリコン上に転写されたディスプレイのもつ複雑性を与え、しかも処理を要するチップ面積は小さくなるのでコストはずつと低くなる。このディスプレイは透過性あるいは反射性、どちらのモードの光にも使用可能であるが、それは構成を要するエレメントの面積が、ディスプレイ面積全体のごく小部分だけであるためである。また、

フラットパネルディスプレイの構成が平坦であることも、必ずしも必要ではない。この方法のもつ柔軟性によつて、平坦でない表面、例えば自動車や航空機の風防ガラス上にも構成することが可能になるのである。

フラットパネルディスプレイは、単結晶半導体材料のバーを含んでも良く、各々のバーは多くの隣接する画素エレメントの上に延びる。隣接するバーとバーは、それらの伸長方向に直交の方向に間隔をあけて配置される。このようなディスプレイの場合、長さは構成の目的で用いられるウェーハの大きさに制限されるが、固定寸法ではかなりの自由が許される。

あるいはまた、フラットパネルディスプレイは単結晶半導体材料のチップを含んでも良く、これらのチップは規則的な二次元アレーに配列される。この場合、ディスプレイの長さおよび幅の寸法の選択には自由裁量が可能である。チップは各々が単

独の対応する画素電極に適合してこの電極のみを制御する働きをする、といった単純な設計とすることができる。しかし、複雑回路の設計やアドレスを支持するドライバおよびアドレス回路構成など、複雑性が増した場合、チップは例えば、6ないし8個と、いくつかの隣接する画素電極に適合して配列されて、これらの電極を同時に制御することもある。いくらか高性能化することで、チップはきわめて複雑な回路を含むように作ることができ、相当の情報処理能力をもつようになるため、画像を更新する情報の変化のみをディスプレイに送るだけで良い。チップはまた、例えば画像をスクロールしたりコントラストを調整するなど、画像の処理もいくらか行なうことができる。

各エレメント、つまりバーまたはチップの厚さをカプセル囲繞した媒体の厚さと調和するように選択したと仮定すると、さらに別の利点が見られる。こうすると各エレメントはスペーサとして

(5)

作用して、フロントパネルの厚さを均一に維持するのを助けると共に、パネルに対し剛性という、広面積パネルにおいて特に重要な性質を加えることができるのである。

次に本発明の2、3の実施形態について、例示的な意味で説明することにする。

第1図と第2図には、X-Y多重式バーエレクトロニックディスプレイ1が示されている。これら3つの図と、模式的制御回路を示す第3図とを参照すると、このディスプレイ1は間隔をあけて互いに対して平行に配設された電極支持基板2、5を、カプセル封じした絶電性の固体半導体7、この例では液晶材料の媒体の両側に含んでいることが分かる。一方の電極構造、すなわち基板2上の電極3は多数の個別方形画素電極PL、PRに分割されている。他方の電極構造、すなわち基板5上の電極4は、連続的である。多数の細長い条片9、つまり単結晶シリコン半導

特開昭60-181778(5)

体材料のバーが、画素電極の表面上に配列されている。これらの条片は互いに平行に配設されており、画素のピッチの2倍の間隔をあけている。各条片9はYの方向に伸びて、その両側に隣接して設けられている画素電極PL、PRの各々の間隔の一部分と重合している。各条片9は基板2と5の間で位置し、スペーサとしての働きをする。各バー9の上表面は金属被覆11を支持する。この被覆11と画素電極構造3との間には、効率の良い電気的接触が与えられている。導電性の粒子を含むにかか、あるいは金属軟ろう13、例えばインジウムがこの接触を与える役割をしている。これは半導体バー9に対して、効果的なアースを与えることを目的とするものである。各バー9の下表面には接点パッドが形成されており、これには画素電極PL、PRと接触するパッドPL'、PR'および下側の電極構造4に形成されたXアドレス電極XL、XRと接触するパッドXL'、XR'が

ある。これらのパッドPL'、PR'、XL'、XR'と対応する画素電極PL、PR、XL、XRとの間の接触は、金属軟ろうであるインジウム13により完全にされている。各シリコンバー9には共通のYアドレスラインYと共に1対の駆動ラインD1、D2も組込まれている。駆動ラインD1、D2上の信号は、フレーム毎にそれぞれ正と大地電位、大地電位と負の間で交替する。第3図の回路では、Yラインが第1電界効果トランジスタT1のゲートに接続されている。このトランジスタT1のソースはXアドレスの接点パッドXR'に接続されている。このトランジスタT1のドレインは、2つ接続されたトランジスタT2、T3のゲートに並列に接続されているが、これらのトランジスタT2、T3は、指形形のソースチャネル/ドレーンチャネルトランジスタか、ダンダム式に動作するエンハンスメント/デプレッションモードトランジスタの何れかである。特定の画素がアドレ

スされると、XアドレスとYアドレスの両方がフレーム毎に1回へになる。駆動信号が交替し、交替する電位が画素電極PRに印加される。Xアドレスパルスの終了時にYアドレスパルスが終るように構成されているため、電荷はトランジスタT2とT3のゲートで保たれる。次にこれらのトランジスタT2とT3が、そのフレームの経路中、つまり次にラインD1、D2上で駆動電位が逆転するまで、開放したまま保たれる。

簡単な寸法としては、シリコンバーは1mmピッチでせしめられ100μm、液晶層の厚さは10μmである。この構造では相當の透明度が与えられ、また同じような寸法のモノリシックディスプレイに比較して、必要な処理シリコンの量が10分の1に減少する。シリコンバー9は、例えばテープボンディングにおいてテープにチップを溶す時に用いる技術などを使って、機械的に配置することもできる。(「テープ自動ボンディング

(6)

の状況」、T. G. O'Neal, Semiconductor International, February 1981, p 23-25, および「超小型電子パッケージング」、G. Sinderis, McGraw Hill, 1986, p 249参照)。微細的なディスプレイでは数百本のバーで足りるため、これは実行可能な方法である。これ以外のチップ転移方法については後述する。

X-Y多重式チップエレメントのフラットパネルディスプレイが第4図と第5図に示されている。このディスプレイにおいては、半導体エレメントはチップの形をとっており、このチップを基板電極Pに合わせて二次元アレー配列に分布している。各チップは、基板電極Pのうちそれぞれが対応する1つ、つまりその一部分と重合している電極だけを制御するに用いられる。下部の電極支持基板3の裏面に、X-YマトリックスのアドレスラインX、Yが組込まれている。交番電極信号駆動ラインDも、基板3上に設けられる。これ

特開昭60-181778 (6)

らのラインは図示のように、X-アドレスラインXに対して平行に配列される。各チップにはアドレス、駆動および画素電極X、Y、D、Pにそれぞれ対応する結合パッドX'、Y'、D'、P'が組込まれている。下に来る電極X、Y、D、Pに関してパッドX'、Y'、D'、P'を正確に位置付ける仕事は、前記の位置決めより厳密にならなければならない。

この理由から、真鍮的な点接触よりも容量結合の方が、設計の制約の中で許容範囲が大きくなる。位置決めにおいて高い精度を確保するために、自己整列技術が採用される。これ以外の技術の詳細については、本明細書の中で後述するので、以下を参照されたい。

このような構成のもつ問題点は、X-YおよびX-アドレスラインX、Yが直交して交差しなければならぬ点にある。これは多重レベルの金属化を用いることで解決することができる。しかしこれよりむしろ、各チップの設計の中で、各クロ

スオーバーに抵抗リングを組み入れることもできる。後者の場合、標準的なアドレス速度、例えば80 kHzで、しや断されたラインに抵抗等価容量パナチオンスによる相当の損失が生じる。これについては第6Aと第6B図に示す等価回路図で説明されている。標準的な寸法とインピーダンス値を以下に示す。

R1: Y-アドレスラインの各区分の抵抗、各々長さ1mm、幅10μm、厚さ1μm、アルミニウム材料。インピーダンス $\sim 5\Omega$ 。

R2: 抵抗リングの抵抗、各々長さ200μm、幅2μm、厚さ1μm。インピーダンス $\sim 5\Omega$ 。

C0: ピンポイントキャパシタンス、パッド面積250μm \times 50μm、防電スペース0.1μm、誘電率 ~ 3 。3.3pF $\approx 1\text{M}\Omega$ @80kHz。
C1: チップから基板(後述電極E)までのラインのキャパシタンス。面積200μm \times 2μm、スペース1μm、誘電率 ~ 3 。0.01pF。

C2: トランジスタからチップ電極までのキャパシタンス。面積1mm \times 10μm、スペース10μm、誘電率 ~ 20 。0.15pF。

Yライン上の信号は、リング毎に $2C1/Cp \approx 11\%$ の係数で減衰する。この理由から、非反転増幅率15によつて昇圧増幅が与えられる。第6図に示されるように、この増幅に用いるパワーは、駆動信号の一部を監視することによつて誘導され、監視器17は駆動パッドD'と接地電極Eとの間に接続されている。XアドレスとYアドレスの両方がハイになつた場合、第2トランジスタT2が導電して画素電極P'をドライバに接続する。Xアドレスパルスが終わる前にYアドレスパルスが終わると仮定すると、トランジスタT2は残りのフレームの間開放されたまま保たれることになる。

ツイストしたメタリック箔素セルについては、約2ボルトのしきい電圧が標準的である。染色し

(7)

たコレクタリッジ・エミッタリッジ位相変換セルについては、10mmの厚さの層に対して、それより高い10ボルトが臨界的となる。回路の設計において、2つの条件を満たす必要がある。まず第1には、制動トランジスタ2（第5図）が閾値をオン、オフにできなければならない。導電中そのインピーダンスは、駆動信号経路の固有インピーダンスと比較して、それより小さくなければならない。また導電していない時のインピーダンスは、それより大きくなければならない。この条件は下記の場合に容易に満たされる。

トランジスタ・インピーダンス： $0N \sim k\Omega$
OFF $\sim 0\Omega$

閾値のキャパシタンス（1mm平方、10mm間隔、 $\epsilon \approx 20$ ）： $0.0M\Omega @ 100Hz$

ピツプアップおよび駆動キャパシタンス（面積 $2 \times 10^{-4}m^2$ 、0.1mm間隔、 $\epsilon \approx 3$ ）：各30MΩ @ 100Hz

恐くものである。この回路では、各XアドレスラインXと平行に通る付加的なラインYYを使用している。各分の結合パッドYYはチップ0の中に含まれる。ラインYYがYアドレス信号を昇圧するための余分の電力を支持する。この回路を実装する上で必要なトランジスタの型式は1つだけである。

以上述べた回路では、多数の欠陥が生じ得る。その中で最も重大なものは、トラクタに影響を及ぼすものである。このような欠陥は画素の列および/または行を完全に損失する結果となることがあるからである。これらの欠陥は、例えば次のような発生の仕方をする。

1. トラクタに閉路と短絡が生じる。これはディスプレイ組立て前にトラクタの試験を行ない、その後必要に応じて電極パターンをはねるか修繕することによって回避できる。重大な閉路欠陥の発生を避けるために、信号経路を平行に敷けても

特開昭60-181778(7)

駆動ライン抵抗： $\sim k\Omega$

第2に、閾値駆動電圧は、ディスプレイの両側に亘って処理法がどう変化しても、それと関係なく液晶材料の位相を変えさせるだけのものでなければならない。液晶の切換えが比較的鈍明であり、しきい値より大きな信号を印加した場合電力消費が多少増すとしても、それ以外ほとんどこれといった効果がないことは、実によくあることである。相当の過渡期が与えられるからである。ピツプアップ・インピーダンスと駆動キャパシタンスがゼロに近い場合、すなわちパッドと電極が良好な接触状態にある場合、5Vの駆動信号は両側の両端で5Vを生み出す。他方、0.1mmの間隔は画素の両端で5Vの電圧につながるため、画素を切換えるために必要な最小値3Vよりまだいくらか超過している。

チップを通る経路を与えられた信号を昇圧するためのもう一つの方法は、第7図の回路と構図に

良い。この種の欠陥に対して特に弱い脆弱したY-アドレスラインの場合、このことは特に重要である。第8図に示した構成図では、Y-アドレスラインYの区分がX-アドレスラインXとY-昇圧ラインYYに平行な方向に伸長されて、1対のチップ0に連絡できるようになっている。各チップ0内部の接続は各Y-ラインYの切れた部分の間に1つの連続的経路、接触リングを与えている。これらのリングの何れか1つが良好であると仮定すれば、Y-信号は伝播されることになる。Y-ラインが不通となる危険は従って減じられる。

2. チップ上のピツプアップ電極の、基板に対する配置が悪く、トラクタを短絡させる。上述のようにカンプリングが容易性である場合、この欠陥は生じない。

3. チップ上の欠陥がラインを短絡させる。これはチップパッドとラインの間に1点接触を作った場合しか、生じない。全てのトランジスタゲ

(8)

トと直列に電圧駆動用トランジスタを備えることで、保護を与えることができる。

個々の画素の故障による欠陥も考えられる。これらの欠陥は、回路と駆動回路を二重、三重に作成することで減少できる。容錯結合を採用した場合、並列回路の結合パッドで完全にしたものを、各チップの中に組み入れても良い。こうして全体としての欠陥は平均的となる。これらの並行回路の1つまたはいくつかが故障した場合でも、回路の機能はまだ現れることができる。チップは全部同一設計であるため、故障したチップを交換するのは比較的簡単である。

第9図と10図には、データアドレス式チップエレメント・フットパネルディスプレイが示されている。各チップは、同時に4つの画素電極Pと重なる位置に配置される。各チップは4つの結合パッドP'を組込んでおり、これらのパッドは隣接する画素電極Pと容錯的に結合するよ

第9図 60-181778 (B)

うに配置されている。各画素の電極構造は、電極トラップD、E、Fを組込んでおり、これらの電極トラップは隣接する対の画素電極の間を1方向に平行に通っており、それぞれ駆動信号、アドレス情報を含む信号データ、チップ対チップデータを運ぶ。対応する結合パッドD'、E'、F'が各チップの中に組み込まれている。パッドD'、E'、F'と対応するラインD、E、Fとの間の結合は容錯結合である。

チップ上の回路の機能は、4つの基本的な役割に分類できる。まず第1に、結合パッドD'からデータ入力信号は、駆りの回路に電力を与えるべく用いられるためには、整流し、平滑化し、安定化しなければならない。第2に、例えば第10図に示した周波数変調信号のようないデータ入力信号は、次の回路ロジックの駆動でできる1と0の論理電圧レベルに変換しなければならない。第3に図に示すように、この部分の動作は1対のRCフィ

ードP1、P2と比較器CCとを用いて行なわれる。各ファイルP1、P2は、異なるカットオフで設計されているので、その並列の対は第10図に示されたものより周波数変調したパルスを区別することができる。低い方の変調周波数のパルスが別のファイルP1、P2に加えられる時、0の論理信号が比較器出力に生じられる。高い方の変調周波数のパルスが加えられると、1の論理信号が生じられる。第2に、パルス列を解読せねばならない。こうして生み出された2進数の列が、レジスタR/Rに送られる。レジスタのトランジスタは、整流器R、平滑化フィルタF、単安定Mによって制御される。各変調パルスの発生に続いて比較器出力から出現する時間を2進信号に与えるくらいの長さ、単安定Mがレジスタのクロック信号を送達する。レジスタの内容は、1ビットで相関フィルタを提供する直列のn-チャネルおよびp-チャネル電界効果トランジスタのゲ

ートに中継される。0、1の論理シーケンスが相関フィルタのnとpのチャネルのシーケンスと相関した時に、一致が認識される。一旦チップがアドレスされていることを認識すると、チップはメモリに対し、連続してデータのビットを返す。各チップには、多数の異なるアドレスコードに対応し得る論理回路を組込んでも良い。そうすると1つのコードを用いて、各チップを個別にアドレスすることができる。他のコードを用いて、数個のチップを同時にアドレスすることもできる。こうして画素のライン、またはブロック、あるいは他のパターンなども単一のコードに対応して生成することができるし、パターンの生成を助けて迅速にすることができる。チップにはこの目的で、いくつかのアドレス駆動回路を並列に含ませても良い。4つめとして、このメモリはデータを記憶して、チップにより制御される画素の状態を指示しなければならない。画素は正しい周波数で駆動され

(9)

ねばならない。画素を駆動するのに発振器が必要であり、これは無安定によるか、あるいはタイミング信号周波数を分周することによつて与えられる。

情報と電力を運ぶ信号の周波数は、電極トラックのRC時定数により制限される。トラックの抵抗を約 $8\text{ k}\Omega/\text{m}$ 以下に下げたり、キャパシタンスを $200\text{ pF}/\text{m}$ 以下にすることは困難である。長さ L (単位 m) のトラック区分に使用できる最大周波数は従つて、 $8 \times 10^6 / L\pi\text{ Hz}$ となる。回路からトラックへローディングすることによつて、これはほぼ2分の1に減少する。データ速度はこれより1桁小さいものでなければならない。従つて、 $L=0.3\text{ m}$ とすれば、最大データ速度は 4.0×10^6 ビット/秒である。情報パケットのスタートを知らせるのに約8ビット必要であり、 10° 画度のチップのうちのアドレスされているのはどれかを示すのに20ビット、チップに対しその

特開昭60-181778 (9)

制御下にある4つ画度の画素を更新するためにすべき事を命令するのに12ビット—全部で40ビット必要である。こうして総数 10^6 のチップ (4×10^3 の画素) が、1秒毎に更新できるのである。これはグラフィックVDUには適宜であつても、TVには余り向かないものである。但し、ディスプレイ全体にエンコーダを1つしか使つてはならないという必要性はなく、例えば各ライン毎に1つずつ、多数のエンコーダを並列に用いても良いのである。長さ15cmのラインと1ラインにつき150のチップ (600の画素を制御) を用いた場合、画素は1秒毎に28回更新でき、明らかにTVへの使用に足りる。スクリーンのサイズが大きくなるに伴つて、更新速度は急速に低下する。このため、第13図に示すように、ディスプレイを何個から駆動するのが望ましいが、例えそうしても、ざしむたし30cm (12°) 以上のTVスクリーンを設計するのは難かしいのである。

次に本発明のディスプレイを作成する処理技術について、第14図から第17図を参照しながら説明することにする。チップ図路21は、裏面下にエッチング止め層24を施したシリコンウエーハ23に対して、CMOSプロセスを用いて作成することができる。エッチング止め28とウエーハ23の間層間から下がつて、エラストマシート27の裏面まで、層が食刻される。各々のチップ9は、1つの点39 (第14図) において固定される。次にウエーハが裏面から食刻されて、パルシシリコンとエッチング止め層28を除去する。その後チップ9はエラストマ27を引き延ばすことによつて拡げられてアレーとなる (第15～18図)。次にチップ9が電極支持基板8の上に取り付けられて、エラストマシート27は除去される。第2の電極支持基板3は、パネル1の下層基板としての働きをする。この基板の上に、画素電極、電力ラインなどを設けるための金属化パターンが

作られる。エラストマ27の伸長にはわずかに不均一性があり得るため、このパターンをチップ9と全面の点で積層に整列させることが必要である。このことは、チップ9と共に引き延ばされるエラストマ基板の上にマスクパターン31を配置することで行なわれる。その後このマスクパターンを使いながら写真印刷技術を用いて、ディスプレイパネルの下図の上に電極パターンを形成する。あるいはまた、上側基板8上のチップ9のアレーを強い角度で照光して、その影を使つて整合する電極パターンを写真印刷的に生み出すこともできる (第19～23図)。その後基板3と8を一並に配置し、パネルに液晶材料7を滴下してシールする。

このプロセスは、下図面から始までの段階で行なうことができる。

1. P^{++} または極微量の酸化層の上部に $10\text{ }\mu\text{m}$ のエピタキシャルシリコンを成長させる。この粗

(10)

込層は、既にエッチング止めとして働くこととなる。酸化膜層はイオン注入、シリコンの陽極酸化、あるいは酸化膜上にデポジットされたポリシリコンの再結晶によつて、シリコンの下に生成しても良い。シリコンはフッ化水素酸の中で陽極酸化することができる。低圧ドーパしたシリコンを用いる場合、多孔性フィルムによつてバルクから分離されたシリコン構造を作成することができる。全ての場合に於いて、シリコン層はさらにエピタキシャルデポジションすることによつて、厚くすることができる。

2. 例えば簡単なCMOSプロセスを用いて、集積回路21を作る。

3. 図21を例えば酸化膜の層など不活性化層23で被覆する。(これはスパッタリング、プラズマ補助による化学蒸気アブレーション、あるいはチップ上の金属化がポリシリコンかゲル化合物である場合には、化学蒸気アブレーションによつ

(PFT)である。この材料は、80℃で微視的にも巨視的にも均一に作びるのに、室温では剛性である。この材料はまた、安価である上汚染性もなく(炭素、水素、酸素を含むだけである)、化学的に腐蝕に対して抵抗性がある。

7. エラストマシート27をホルダ内に装着し、ウェハ23の裏面からエッチング止め25に達するまで、シリコンアレーをエッチングする。

8. エッチング止め層25を除去して、個々のシリコンチップを分離する。エッチング止め層25として酸化膜を用いた場合、この動作は界面剤処理したフッ化水素酸で行なうことができる。あるいはまた、プラズマエッチングやイオンビームアブレイズ削りでエッチング止め層25を除去しても良い。

9. 必要に応じて、注意深く洗浄、乾燥する。

10. 群の中に詰まつたり、エラストマを被覆しないように注い角配で配列することによつて、チ

特開昭60-181778(10)

て生成できる)。

4. 不活性化層23をパターン化し、プラズマまたは例えばエチレンジアミンピロカチコールや水素の酸化カリウムなどの不等方性エッチング剤を用いて、パターン化した不活性化層23をマスクとして使いながら、エッチング止め25までエッチングする。

5. 各チップの一定の点に、例えばホトレジストなどの材料の高さ1μm、直径3μmの小球体29を置く。これは、チップのいずれかの角に接近して置かれるのが望ましい。

6. にかわ被覆した平面エラストマシート27の表面の上に、作造面を下にして配座する。小球体29は各チップ9とシート27の間の単点接触を保障する働きをする。その構成は図14図に示す通りである。これまでに最良と認められたエラストマは、英国のICI、プラステック部門製造の材料である、非晶質のテラフタル酸ポリエチレン

チップ9の裏面に金属被覆を行なう(図15図と16図参照)。

11. エラストマシート27をそれぞれの方向に、ゆつくりと4倍に引き伸ばす。これはシート27の周辺に多数のクランプを用いることで遂行できる(図17図と図18図参照)。あるいはまた、シートを把持して静水圧により膨張させても良い。膨張したエラストマの形状は、型によつて決定できる。

12. 電極支持基板5の上に降らして配座する。この基板5の上の連続的電極部5bは、パネルのアース電極としての働きをする。導電性の接着剤が使用される。一般に導電性のにかわやんだは不透明であるため、余分の材料は除去される。このことは、例えばインジウム金属などの適当な作用物質を用いて基板を被覆し、ホトレジストで被覆し、チップを接触マスクとして用いて照光して、ホトレジストを剥離し、露光した作用物質を

(11)

溶解して、残ったレジストを除去し、チップの大きさおよび位置に対応するにかわまたははんだのパッドを残すことによつて、達成することができる。あるいはまた、チップを溶剤の上に配置し、余剰材料を除去する間これをマスクとして用いて溶剤を保護することによつて、チップの下部基板だけを残すようにすることもできる。

13 レジスト小球体29を除去する。これは溶剤としてアセトンを用いて行なうことができる。その後エラストマシート37が除去される。

14. ディスプレイパネル1のもう一方の面を形成するのに用いられる基板3は、ディスプレイの電力ラインおよびデータラインと、画素制御電極を形成するべくパターン化されねばならない。電力ラインとデータラインは抵抗の低いものでなければならず、アルミニウムなど良質の金属材料でなければならぬ。画素制御電極は、金属でも良し、スズ酸カドミウムや酸化インジウム

特開2000-181778 (11)

スズなど透明の導体でも良し。どちらの場合でも、自動整列技術を使用できるほど引伸しが正確であるとは考えられないため、パターンを実際のチップの分布に整列させる必要がある。これは次の2方法で達成できる。

(1) 最初の方法は、(4)の段階でエラストマシートをウェーハに接合する前に、エラストマシートの上にパターンを置く方法である。このパターンはレジストやゴムなど、エラストマと共に伸びるような材質のものとされる。パターンは宛先の要求される電極のパターンに対応し、ウェーハに整列される。エラストマが引伸ばされ、チップが除去された後、パターンはディスプレイの下部基板37をパターン化するためのマスクを作るために使用することができる。

パターンが作られる材料は普通あまり不透明ではないので、そのままマスクを提供することにはならない。これを行うく速ける方法の一つに、エ

ラストマを伸張した後パターンの上に金属の薄い層をデポジションすることがある。次にこの金属をリフトオフによつてパターン化するのである。結果的に得られる金属のパターンは、次にマスクを作るのに使用され、このマスクが今度は、下部基板37上に電極パターン38を写真印刷により形成するのに用いられる。この2段階プロセスは、各段階で僅かの反転が生じるので必要である。2つの段階を通過することで、元のパターンが回復されて、下部基板37上のパターンはエラストマシート37の正確なコピーとなる。写真印刷法を選択して、下部基板37上の電極パターンを生成するのに用いる方法を直線的または反転式の方法とした場合、下部基板37上に生成されるパターンはエラストマシート37のパターンと同一とすることも、逆とすることもできる。例えば、エラストマシート37が第15図(伸張する前)か第17図(伸張した後)に図示したのと同じレジストパターン

31を有しており、またリフトオフが用いられる場合、エラストマ上の金属パターンは第9図に示したように、下部基板37上の電極パターンに要求されるものと同等になる。マスクを作るのに用いた写真印刷法が反転法であり、マスク上のパターンが転写されて下部基板に電極パターンを作る方法も反転法である場合、第9図の電極パターンが下部基板37上に生み出される。エラストマ上に染料(例えばプロシオン赤色9)を用いるか、染料含有材料を用いてパターンを作る場合であれば、面倒なリフトオフは回避できる。その染料パターンが異なる波長で吸収する染料を含有する2つの層から構成されているとすれば、それは別方向にチップと整列された2つの異なるパターンを、効果的に含んでいることになるのである。リソグラフィーマスクとしてエラストマを使用した場合に生じる結果は、使用する光の波長により決まることになる。これによつて、例えば電力ラインには

(12)

アルミニウム、電極制御エレメントには酸化インジウムスズと、異なる2つの材料の金属化パターンを両方共チップパターンと並列させて生成することが可能となる。染料がレジスト内にあつたとすれば、そのレジストは染料が浸透しない状態でパターン化されねばならなかつたであろう。

(II) 2番目の方法は、基板5をチップ9と一緒に、下部基板3上の整合電極パターン88を形成するのを用いることのできる、シャドーマスクとして使用する方法である。このプロセスは第19図に図解されている。図解の問題を避けるためには、チップが実際にレジスト88の上にあるとすれば最良である。生まれたシャドーマスク7は、有用な形状を形成するには明らかに大きすぎるが、塗布されたチップが横に移動されて、もう1度露光が行なわれると仮定すれば、はるかに薄い形状89を生むことができる(第20図)。各導真印刷の後次の段階に移る前に、パターン金属化90は例え

特開昭60-181778(12)

ば陽極酸化か二酸化シリコンなど誘電体のデポジションによつて不活性化される。

ディスプレイそのものに規則的なパターンを構築するのは簡単であるが、1つ問題となるのは、電力ラインとアドレスラインの端部への接続を正確にすることである。これは2つの技術を組合わせることで達成できる。まず、行の端にあるチップ9を他の場所のものより傾斜しておいて、例えばチップ9と下部基板3との間にガラス板を挿入するなどによつて、チップ9, 9'を下部基板3から上揚する。1つ以上の光源が使用される。大きい方のチップ9'によつてのみ、完全なシャドーマスクが生み出される(第21図)。第2に、1つの方向に進むシャドーマスクを用いて1組のアドレスラインを作り、反対方向に進むシャドーマスクを用いて1組のアドレスラインを作ることが可能であり、従つて2組のラインへの接点はアレーから別々の方向に外に延びる(第22図)。これら2つの技術を用

いると、第23図に示した型式の構造を作ることが可能となる。1個めの露光をしながらチップ9を横に移動して第21図の技術を使用し、次にチップを反対方向の横に移動してもう1回露光することによつて、電極DDが生み出される。

後に述べた技術(II)にはあるタイプの金属化を用いてある形状を作ることができ、異なるタイプの金属化では別の形状ができるという利点があるが、前に述べた技術(III)の方が単純で安価であり、従つて優先して使用されるべきものである。

15. チップ9と上部基板5とを底部基板3に接続し、基板材料7を清らす。

次に第24a~24d図を参照すると、乗置四角チップをフラットパネルディスプレイに装着するさらに別のプロセス用の装置が部分的に示されている。ウェーハ(図示せず)が表面40上に増設可能に取付けられ、分割されて先に説明したようなはんだ片15を有する9のような二次元アレー

が形成されるが、ここでは1行のチップアレーが図示されている。第24a図に示されるように、チップ9の上に真空チャック41が配設される。チャック41は3つめ個のチップに隣接して位置するように、適当な間隔を置いて配設された42のような穴を有する。第24b図に示されるように、チャック41の内部領域は真空化されており、3つめ個のチップがチャック41によつて持ち上げられて、表面40から離脱される。離脱したチップ9は電極支持ディスプレイ基板3に転移される。加熱器47を用いてチップ9を基板3に収付けているはんだ片15を溶解する。最後に、第24d図に示されるようにチャック41の真空が解放されて、チャック41が除去される。以上の動作を必要に応じて繰り返して、多数のチップをデポジットするようにしても良い。第24a~24d図では、3つめ個のチップ9に位置決めされているところが示されている。動作が1個図する毎にチ

(13)

ヤツタを置き換えても価値喪失すれば、全部のチップをディスプレイに移すこともできる。

真鍮チップは工学校術により作ることができる。チップはせしめた数百ミクロンであるため、適当な大きさと間隔の穴を加工するのは容易でない。従つて不導性エッチングで穴あけしたシリコン面をもつチップを用いるのが望ましい。

100度内シリコンウエーハの両面をつや出しして、その上に1μmの酸化層を作り出す。従来の写真印刷のマスク技術によつて、酸化層の一方の面に穴がエッチングされる。次に例えばSiD₄や、水酸化カリウム水溶液、または水とアルコールの混合物など、〈111〉平面を他の平面に比べてずつとゆつくりと侵食するエッチング剤を用いて不導性的にエッチングされる。これらの手順については、Proc IEEE 70(5)pp420~427、1982、8月号 R. E. Peterson に記載されている。シリコンウエーハは〈111〉平面に達するまでエッチ

特開95-181778(13)

ングされる。残留した酸化層は5:1のフッ化アンモニウムとフッ化水素酸を用いて除去されて、穴あけしたシリコンプレートが組み出される。

穴あけしたシリコンプレートには、穴あけ部分に真空透過するきり穴を有する金属エレメントのような、炭で支持材が埋められても良い。シリコンプレートが炭で支持材の何れかには導けられて、支持材の穴、隙、そして炭にはシリコンプレートの穴という経路で真空透過が配位される。これによつて支持材に穴をあける際に必要な精度が保たれる。

次に図25図を参照すると、1つのウエーハより規模的に大きなディスプレイにチップを応用するべく、4つ組み合わせで配列されたウエーハ50₁~50₄の正方形アレーが示されている。各ウエーハ60は4つそれぞれ異なる種類の64個のチップの正方形アレーである。各チップは32のよう

は全部で16種類のチップを提供する。各々のチップの種類は、それぞれのウエーハのそれぞれの4分の1の区分に配位されている。例えば、図25図の参照符号(0,0)に該当する16個のチップは、ウエーハ50₁の左上の四半分を形成している。図中参照符号(m,n)(m,n=0,1,2,3)は、チップ52の16の種類を特定すると共に、ディスプレイ基板上的チップの位置も指示するものである。最初の参照符号mはm番目のディスプレイコラムを指し、2つめの参照符号nはn番目のディスプレイ行を指す。

チップは前述したように、ウエーハ50の中で互いから分離されている。4つのウエーハ全部を覆えるだけの大きさの真空チップを用いて、各種類1つのチップをディスプレイに転移する。チップの穴の間隔は、同一面上にある4つのチップの中心間距離に等しい。チップの穴は二次元アレーを形成してあり、チップはウエーハの各

四半分の区分から1つのチップを転移して、1つのディスプレイ基板を作り出す。次にチップの位置を換えて、次の組の異なるチップを次の基板に移転する。このような方法は、予め調整したアドレスコードの異なるチップを組み込んだディスプレイを形成する場合、特に役に立つものである。

次に図26a図と26b図を参照すると、4段階の転移手順において、ディスプレイ基板(図示せず)の上にそれぞれ配位前と配位後のチップのレイアウト60と61が示されている。チップレイアウト60は前述したように個々のチップに分割されたウエーハに相当する。62などの各チップは、列と行の指数(m,n)を用いて識別される。このときm,n=0~7で、ディスプレイ基板上の位置を指示する。

レイアウト60のチップ62は、右側不透明、左側不透明、ドット状、あるいは併置、と4形成あるシェーディングの何れかを有している。隣接す

(14)

る4つのチップは全てシエーシングが異なるように配列される。その上、似通ったシエーシングのチップは、チップシエーシングの対応するレイアウト61のそれぞれの図や区分の中で適宜に間隔をあけて配列される。中心間隔が交互のチップの中心間隔に等しい、4×4の正方形アレーの吸引孔を有する真空チャックが用いられる。これによつてチャックは、1図の移動段階でそれぞれ1つのシエーシングのチップ全部を上端することが可能となる。最初に、チャックを用いて右側不透明のシエーシングのチップを全部、上端する。これらのチップは次に、ディスプレイレイアウト61の右上区分62に移される。続く3つの移動段階で、左側不透明シエーシング、ドット、およびシエーシングなしのチップがそれぞれ、ディスプレイレイアウト61の右上区分64、左下区分65、右下区分66に移転される。

すぐ前に述べた手順を用いる動作の中で、多数

特開2000-181778(14)

の移動動作が必要となる場合、別の方法を用いても良い。第27図も合わせて参照すると、第34図のチップのレイアウト60は、第1段階で列間の間隔をあけたアレーに配置し直すことができる。これには、1つめの真空チャックをチップの交互列を上端するべく配置することが必要である。すると1つめのチャックは、各列の交互のチップを配置し直して、第26図のディスプレイレイアウト61を再現するように、用いられることになる。この方法の長所は、ディスプレイ基板上のチップの間隔がXとYの両方向でチップ寸法の4倍あるとした場合に明白となる。第28図の方法では、1つのチャックで1段階の移動が必要だが、第27図の方法では、2つのチャックを用いて2段階となる。

ディスプレイ基板の上にチップまたはバーを配置するのは、「ピックアップして配置する」機械を用いても行なうことができる。この方法は、例え

ばシリコンバー・エレメントのプレーなど、比較的少数のエレメントを配置するのに向いていると見える。

4. 図面の簡単な説明

第1図と第2図はそれぞれ、バーを間隔をあけて配置したフラットパネル液晶ディスプレイの一部を示す平面図およびこの平面図の平面1-1における拡大断面図、第3図は、第1図と第2図に示したバーの各々を実現される多くの同様の回路の中の1つである典型的な回路制御回路の構成を示す回路図、第4図と第5図はそれぞれ、X-Yアドレス式の、チップを分布したフラットパネルディスプレイの一部を示す平面図およびこの平面図の平面1-1における拡大断面図であり、図形の開始も示し、第6図および第7図は、第4、5図で示したディスプレイのYアドレスラインの1つに関する等価回路図であり、それぞれ完全な等価回路と単純化した等価回路を示し（昇圧増

幅の詳述は省略）、第7図は、図路図および配置図であつて、第8図の構成に対する代替案を示し、第9図は、複数のレイアウトの平面図であつて、並列信号線路でできる使用法を図解しており、第9図と第10図はそれぞれ、データアドレス式のチップ・エレメント・フラットパネルディスプレイの一部を示す平面図およびこの平面図の平面1-1における拡大断面図、第11図は、第9、10図に示したディスプレイの各チップに組込むことのできるアコアインダ回路の回路図、第12図は、第11図のアコアインダ回路の各点に於ける信号を示すタイミング図、第13図はフラットパネルTVスクリーンに用いることができるようなエンコーダとチップのレイアウトとして考えられるものを示す平面図、第14図は、チップを分離する移動段階において、エラストマ製造板への降つきのシリコンウェーハの装荷を示す断面図、第15図と第16図はそれぞれ、伸長する以前の

(15)

配列した状態のチップ、マスクパターン、エラストマを示す平面図と断面図、第17図と第18図はそれぞれ、同一のチップ、マスクパターン、エラストマではあるが、伸張後の状態を示す平面図と断面図、第19～21図は、装着したチップに配列された電極の作成におけるシャドー技術の使用法を示し、第22と23図は、シャドー技術により作られた電極構造を示す平面図、第24図は、第22図は、ディスプレイの製造方法における各段階を示す、真空チャックとチップアレーの断面図、第25図は真空チャックを用いてディスプレイを作成するべく4つ組み合わせられて配列されたウェーハを概略的に示す平面図、第26aと26b図は、ディスプレイ上に配置前と配線後のチップアレーを示す略平面図、第27図は、ウェーハからチップをディスプレイ上に配線する手順における1段階を経た後のチップアレーを示す略平面図である。

特開昭60-181778(15)

1…フラットパネルディスプレイ、2,5…電極支持基板、7…液晶材料、9…半導体エレメント、P…画素電極、Y…アドレスライン、D1, D2…駆動ライン、15…非反転増幅器、17…差流線、21…集積回路、23…シリコンウェーハ、25…エッチング止め層、27…エラストマシート、28…マスクパターン、29…不活性化層、35…レジスト、41…真空チャック、50…ウェーハ、52…チップ。

出願人 イーダリス 有限会社
代理人 川口 義雄

図面の抄写(内容に変更なし)

Fig.1.

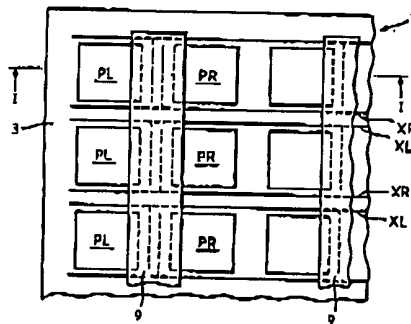
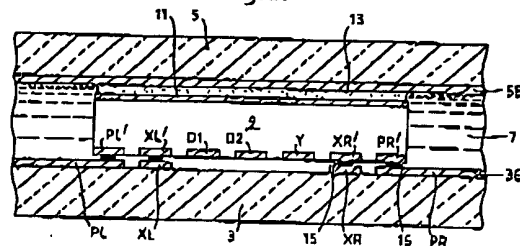
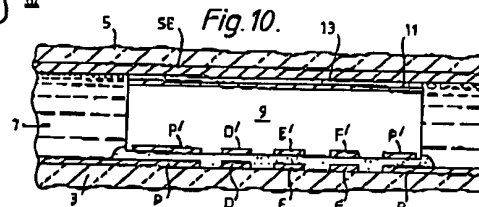
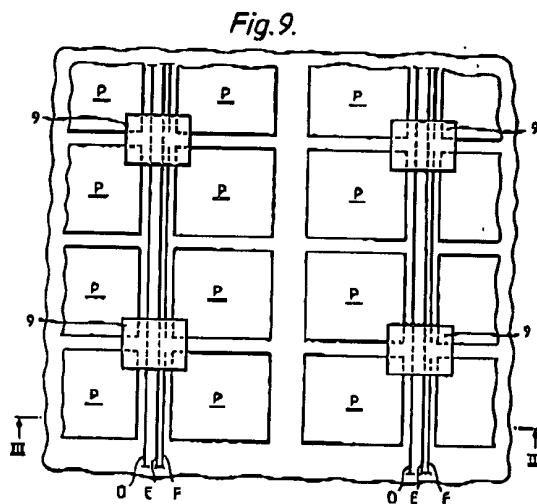
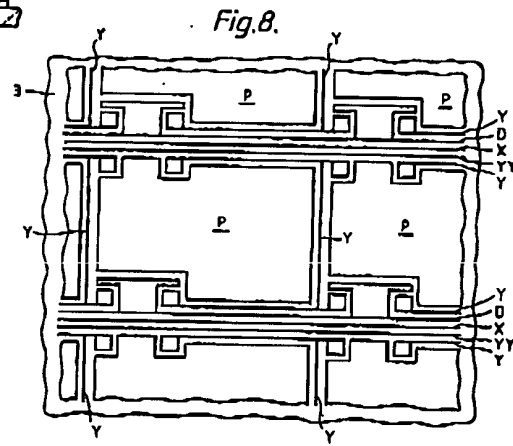
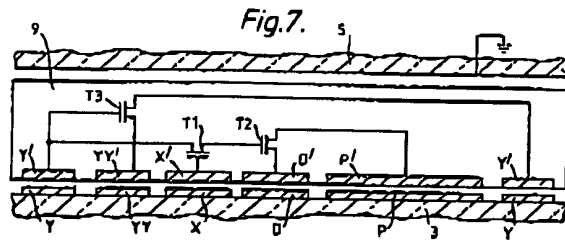


Fig.2.



(17)

特開昭60-181776(17)



(18)

特開2000-181778 (18)

Fig. 11.

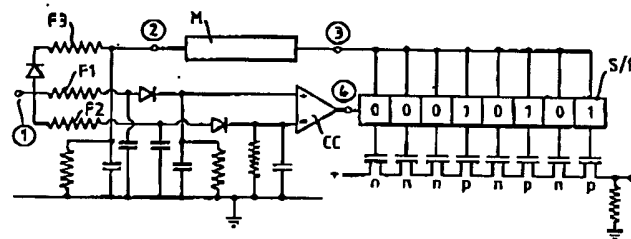


Fig. 12.

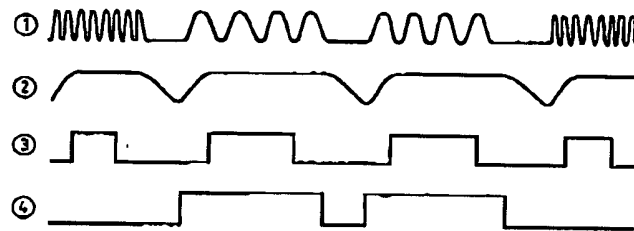


Fig. 13.

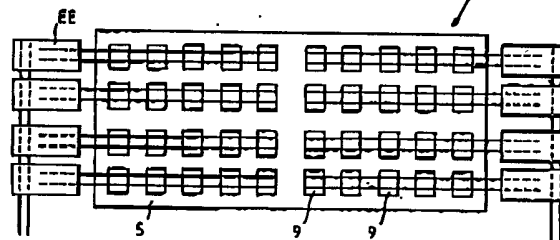
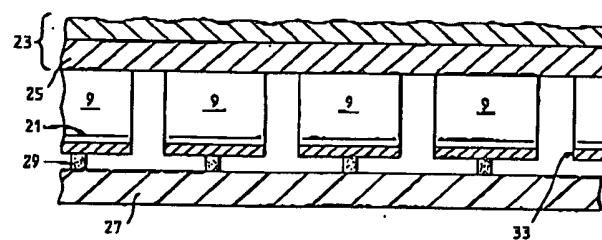


Fig. 14.



(19)

特開2003-181778(19)

Fig. 15.

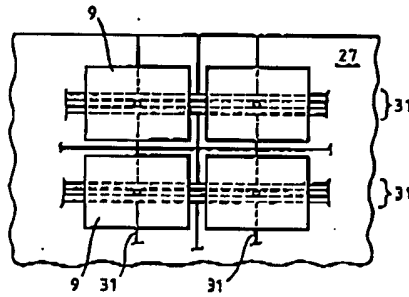


Fig. 16.

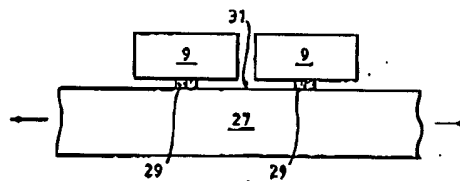


Fig. 17.

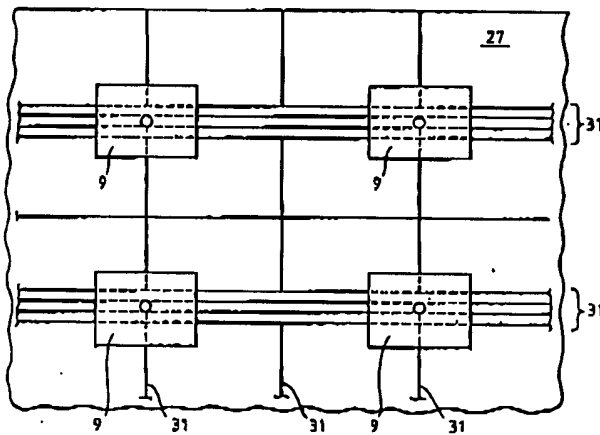
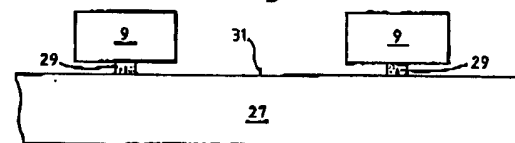


Fig. 18.



(20)

特開昭60-181778 (20)

Fig.19.

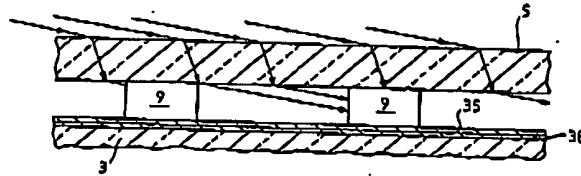


Fig.21.

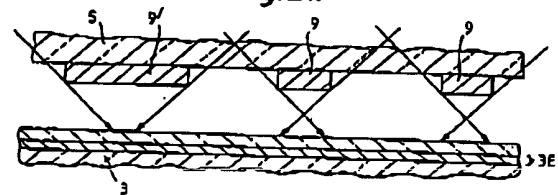


Fig.20.

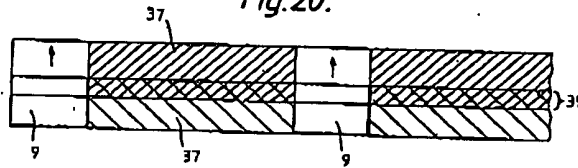


Fig.22.

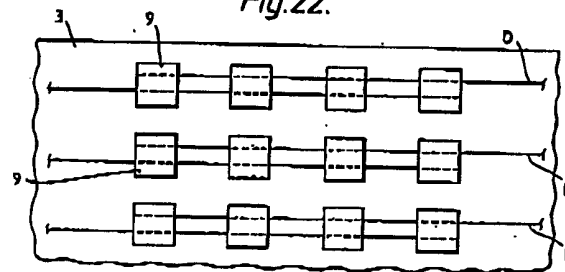
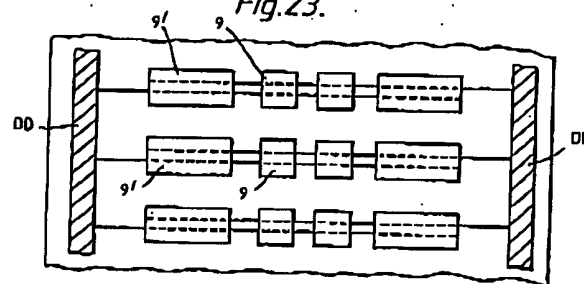


Fig.23.



(23)

特開昭60-181778(23)

特許出願 補正 通知

昭和60年3月4日

特許庁長官 必 買 学 殿

1. 明許の表示 昭和60年特許第16367号
2. 発明の名称 フラットパネルディスプレイとその製造
3. 補正をやる者
事件との関係 特許出願人
- 名 称 イギリス国
4. 代理人 東京都新宿区新宿 1丁目 1番14号 山田ビル
(郵便番号 160) 電話 (03) 354-8623
(0200) 弁護士 川 口 昭 雄
5. 補正命令の日付 自 発
6. 補正により増加する発明の数
7. 補正の対価 図面
8. 補正の内容 正式図面を別紙の通り補充する。
(内容に変更なし)